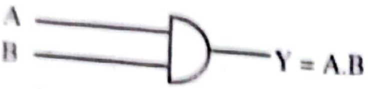
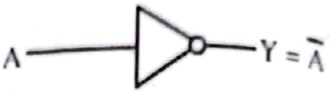
নিম্নে এগুলোর বর্ণনা প্রদত্ত হলো–

১। **বেসিক/মৌলিক গেইট ঃ** AND, OR, NOT-কে মৌলিক গেইট বলা হয়। নিচে এই গেইটগুলোর প্রতীক অঙ্কন করা এবং ব্যবহার দেয়া হলো–



চিত্র ঃ ৪.১১ AND gate

চিত্র ঃ ৪.১২ OR gate



চিত্র ঃ ৪.১৩ NOT gate

ব্যবহার ঃ

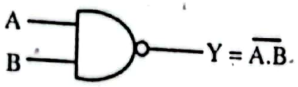
১। Adder সার্কিট, Multiplication সার্কিটে OR এবং AND গেইট ব্যবহার করা হয়।

২। Inverter circuit-এ NOT gate ব্যবহার করা হয়।

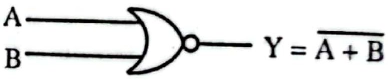
৩। কম্পিউটারে যৌক্তিক কোনো সিদ্ধান্ত গ্রহণ করার জন্য Basic গেইট IC ব্যবহার করা হয়।

৪। কোনো কলিং বেল বা ডোর বেলকে দুই স্থান থেকে বাজানোর জন্য AND গেইট বা OR গেইট ব্যবহার করা হয়।

২। **Universal বা সার্বজনীন গেইট ঃ** NAND এবং NOR গেইটকে সর্বজনীন গেইট বলা হয়। কারণ এই gate- গুলো দিয়ে তিনটি মৌলিক gate তৈরি করা যায়। নিচে NOR গেইট এবং NAND গেইট এর প্রতীক ও ব্যবহার দেয়া হলো–



চিত্র ঃ ৪.১৪ NAND gate



চিত্র ঃ ৪.১৫ NOR gate

ব্যবহার ঃ

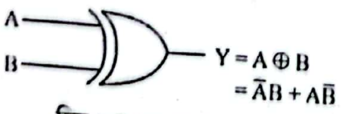
১। মৌলিক গেইটসহ সকল গেইট তৈরি করতে NOR এবং NAND গেইট ব্যবহার করা হয়।

২। ডিজিটাল সার্কিটে মৌলিক গেইট AND এবং OR এর বিপরীত সিদ্ধান্ত গ্রহণ করার জন্য NAND এবং NOR গে ব্যবহার করা হয়।

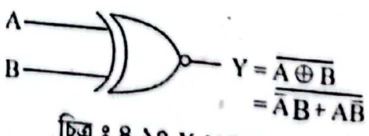
৩। সকল ইনপুট এর অনুপস্থিতি নির্দেশ করতে NOR গেইট ব্যবহার করা হয়।

৪। কোনো ডিজিটাল সার্কিট যেখানে একটা AND গেইট এবং NOT গেইট দরকার সেখানে একটা NAND গেইট ব্য করা যায়।

৩। **Exclusive গেইট ঃ** X-OR এবং X-NOR গেইটকে এক্সক্লুসিভ গেইট বলে। নিচে এই গেইটগুলোর প্রতীক ও ব্যবহার দেয়া হলো–



চিত্র ঃ ৪.১৬ X-OR gate



চিত্র ঃ ৪.১৭ X-NOR gate

ব্যবহার ঃ

১। Smoke signal বা ফায়ার অ্যালার্ম সার্কিটে ব্যবহার করা হয়।

২। প্যারিটি জেনারেটরে X-OR গেইট ব্যবহার করা হয়।

৩। অড (odd) প্যারিটি জেনারেটরে X-NOR গেইট ব্যবহার করা হয়।

৪। জোড় সংখ্যা এবং বিজোড় সংখ্যা নির্দেশ করতে ব্যবহার করা হয়।

৫। ভুল সংশোধনের জন্য X-OR ও X-NOR গেইট ব্যবহার করা হয়।

অধ্যায়-৫

লজিক গেইটসমূহের ইলেকট্রনিক বর্তনী (Electronic Circuit of Logic Gates)

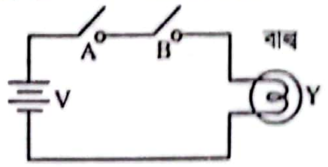
৫.১ মৌলিক গেইটসমূহের সমতুল্য বর্তনী (Explain equivalent circuit of basic gates) ঃ

❑ AND gate :

AND gate বলতে বুঝায় এমন একটি সার্কিট, যার দুই অথবা ততোধিক ইনপুট এবং একটিমাত্র আউটপুট থাকবে এবং আউটপুট হাই (High) হবে, যদি সবগুলো ইনপুট একসাথে হাই হয়।

চিত্র ঃ ৫.১

নিম্ন বা Low ভোল্টেজের জন্য বাইনারিতে শূন্য '0' ধরা হয় এবং উচ্চ বা high ভোল্টেজের জন্য বাইনারিতে '1' ধরা হয় এবং AND gate-কে ৫.২ নং চিত্রে বর্ণিত ইলেকট্রিক্যাল সার্কিটরূপে বিবেচনা করা যায়।



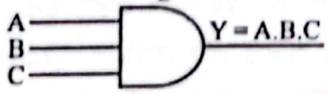
চিত্র ঃ ৫.২

AND gate এর দুটি ইনপুট A ও B এবং আউটপুট Y ধরা হয়েছে। যদি A ও B উভয় সুইচ অফ (OFF) থাকে, তবে আউটপুট Y অফ বা "0" থাকবে এবং A যদি অফ ও B অন (ON) থাকে, তবে আউটপুট অফ থাকবে। এখানে অফকে 0 এবং অনকে 1 ধরা হয়েছে। এভাবে আমরা উপরের লজিক সার্কিট হতে ট্রুথ টেবিল তৈরি করতে পারি।

A	B	Y = A.B
0	0	0
0	1	0
1	0	0
1	1	1

AND gate এর ট্রুথ টেবিল দুটি ইনপুটবিশিষ্ট

তিন ইনপুট-বিশিষ্ট AND gate : তিন ইনপুট-বিশিষ্ট AND gate-এর লজিক গেইট এবং ট্রুথ টেবিল নিম্নে দেয়া হলো–



চিত্র ঃ ৫.৩ তিন ইনপুট-বিশিষ্ট AND gate

তিন ইনপুট-বিশিষ্ট AND gate ট্রুথ টেবিল ঃ এভাবে আমরা তিন ইনপুটবিশিষ্ট AND gate ট্রুথ টেবিল গঠন করতে পারি।

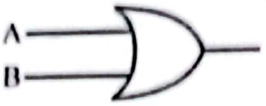
Input			Output
A	B	C	Y = A.B.C
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

AND gate-এর তিন ইনপুট A, B ও C এবং আউটপুট Y। যদি ABC '1' হয় তবে আউটপুট '1' ON হবে। অন্যথায় সব লো (Low) হবে।

CamScanner

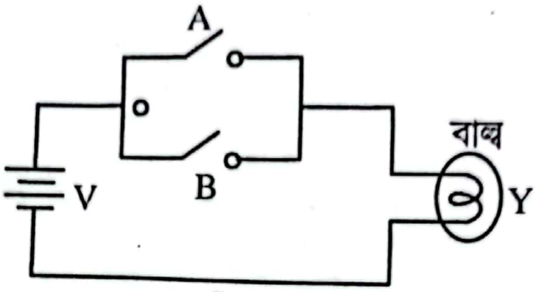
❑ OR gate ঃ

OR gate বলতে বুঝায় এমন একটি সার্কিট, যার দুই অথবা ততোধিক ইনপুট এবং একটিমাত্র আউটপুট থাকবে এ… সমস্ত ইনপুট লো (Low) হয় তবে আউটপুটও লো হবে।



চিত্র ঃ ৫.৪

এখানে OR gate-কে ইলেকট্রিক্যাল সার্কিট চিত্র ৫.৫ রূপে কল্পনা করা যায়। এখানে A ও B ইনপুট হিসেবে এবং আউ… ধরা হয়েছে।



চিত্র ঃ ৫.৫

(i) A ও B অফ থাকলে আউটপুট Off থাকবে;

(ii) A OFF ও B ON আউটপুট অন;

(iii) A অন ও B অফ আউটপুট অন;

(iv) A অন ও B অন আউটপুট অন।

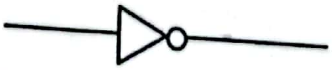
এভাবে আমরা OR gate এর ট্রুথ টেবিল গঠন করতে পারি।

A	B	Y = A + B
0	0	0
0	1	1
1	0	1
1	1	1

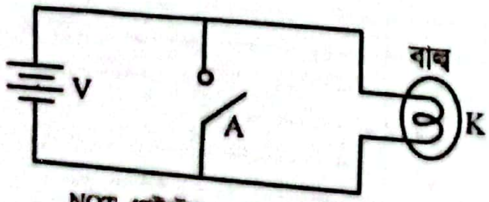
OR গেইটের ট্রুথ টেবিল

❑ নট/ইনভার্টার (NOT/INVERTER) ঃ

NOT গেইটকে ইনভার্টার গেইট বলে অভিহিত করা হয়। এর একটি ইনপুট এবং একটিই আউটপুট থাকে এবং আউ… হাই (High) হবে, যদি ইনপুটটি লো (Low) হয়। আবার এটি বিপরীতভাবেও (Vice versa) হয়ে থাকে। এতে ইনপুট সি… আউটপুট উল্টে যায়। অর্থাৎ ইনপুট ON হলে আউটপুট OFF এবং ইনপুট OFF হলে আউটপুট ON হবে।



চিত্র ঃ ৫.৬ NOT গেইটের প্রতীক



NOT গেইটের সমতুল্য বর্তনী

A	Y
0	1
1	0

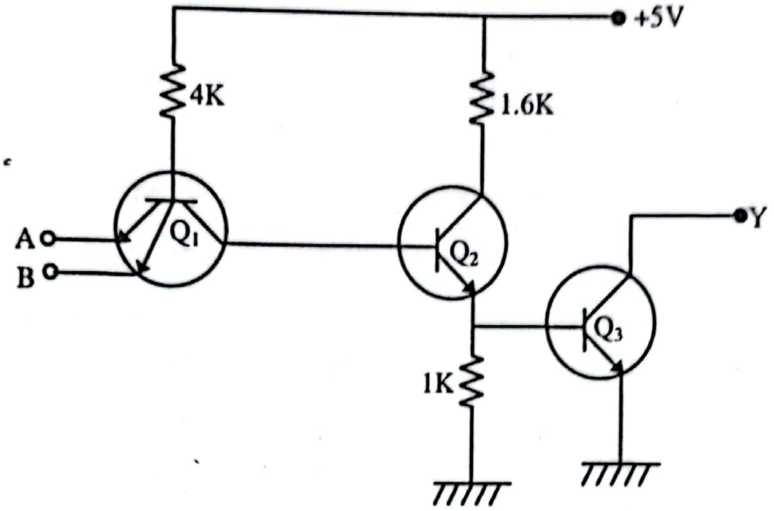
NOT গেইটের ট্রুথ টেবিল

চিত্র ঃ ৫.৭

৫.২ স্ট্যান্ডার্ড TTL NAND গেইটের কার্যপ্রণালি (Describe the operation of standard TTL NAND gate) ঃ

১। ওপেন কালেক্টর স্ট্যান্ডার্ড TTL এর কার্যপ্রণালি (Open collector operation standard TTL) ঃ

আউটপুট বর্তনীর সার্কিটটিতে প্রত্যেকটি ইমিটার ডায়োডের মতো কাজ করে। ফলে Q_1 ট্রানজিস্টর ও 4K রেজিস্টর AND গেটের কাজ করে এবং অবশিষ্ট সার্কিটটি NOT গেটের মতো কাজ করে। যখন A বা B অথবা দুটি ইনপুট LOW অর্থাৎ লজিক শূন্য অবস্থায় থাকে, তখন Q_2 ট্রানজিস্টরের বেইস ভোল্টেজ শূন্য হয়। ফলে Q_2 কাট-অফ অবস্থায় থাকে। Q_2 কাট-অফ অবস্থায় থাকার ফলে Q_3 এর বেইস ভোল্টেজ শূন্য হয়। তাই Q_3-ও কাট-অফ অবস্থায় থাকে এবং আউটপুট Y এর মান HIGH অর্থাৎ লজিক এক (1) হয়। আবার যখন A এবং B দুটি ইনপুটই HIGH (লজিক 1), তখন Q_2 এর বেইস ভোল্টেজ HIGH (Logic-1) হয়। ফলে Q_3 এর বেইস ভোল্টেজ HIGH (লজিক এক) হয়, অতএব আউটপুট Y এর মান LOW (লজিক শূন্য) হবে।



চিত্র ঃ ৫.৮ Open collector TTL NAND gate

যেহেতু, ইনপুট A বা B এর যে-কোনো একটি লজিক শূন্য হলেই আউটপুট (Y) লজিক 1 হয় এবং ইনপুট A এবং B দুটিই লজিক 1 হলে আউটপুট (Y) লজিক শূন্য হয়, তাই এটি NAND গেইট হিসেবে কাজ করে। নিচে NAND গেইটের ট্রুথ টেবিল দেয়া হলো–

Truth table :

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

- **Standard TTL এর টোটেমপোল (Totempole) আউটপুট সার্কিট ঃ**

গঠনপ্রণালি ঃ টোটেম পোল TTL-এ একাধিক ইমিটার সংযুক্ত ট্রানজিস্টর ব্যবহৃত হয়, যাকে Q_1 দ্বারা চিহ্নিত করা হয়। এতে চারটি ট্রানজিস্টর Q_1, Q_2, Q_3, Q_4 ব্যবহৃত হয়। এর ইনপুট A ও B এবং Output Y. এতে একটিমাত্র ডায়োড ব্যবহার করা হয়।

কার্যপ্রণালি ঃ

(i) যখন A = 0(0V), B = 0(0V) অথবা, A = 0(0V), B = 1(+5v) অথবা, A = 1(+5v), B = 0(0V) হলে Q_1 এর ইমিটার জাংশন ফরোয়ার্ড বায়াসপ্রাপ্ত হয়, তখন কারেন্ট R_1 এর মধ্য দিয়ে প্রবাহিত হবে, যার ফলে Q_2 এর ম কোন কারেন্ট প্রবাহিত হয় না।

সুতরাং Q_2 কাট-অফ অবস্থায় থাকে। Q_2 কাট-অফ থাকার কারণে R_2 এবং R_4 এর মধ্য দিয়ে কোন কারেন্ট প্রবা না, যার ফলে Q_4 ট্রানজিস্টরটিসহ কাট-অফ অবস্থায় থাকে। যেহেতু Q_3 ট্রানজিস্টরটির বেস R_2 এর মাধ্যমে V সাথে সংযুক্ত, তাই Q_3 কন্ডাকশন অবস্থায় থাকে।

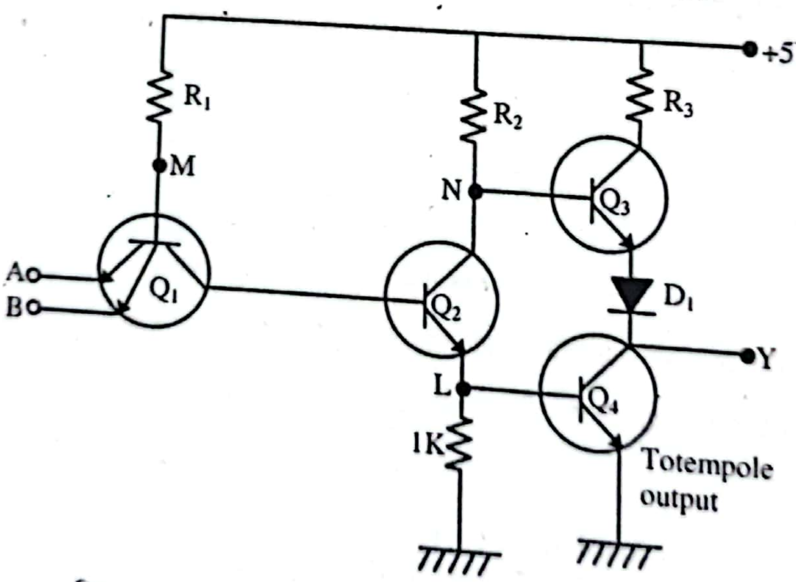
সুতরাং আউটপুট Y = +5v(1)

(ii) যখন A = 1(+5v), B = 1(+5v), তখন Q_1 এর বেস-ইমিটার জাংশন দিয়ে কোন কারেন্ট প্রবাহিত হয় না, তাই R_1 এর মধ্য দিয়ে Q_2-এর বেস-এ প্রবাহিত হবে, ফলে Q_2 ট্রানজিস্টরটি কন্ডাকশনে যাবে, ফলে ইমিটার কারেন্ট মধ্য দিয়ে প্রবাহিত হবে। Q_4 এর বেস-ইমিটার জাংশনের আড়াআড়িতে 0.7V এর চেয়ে বেশি ভোল্টেজ ড্রপ হ ট্রানজিস্টরটি কন্ডাকশনে যাবে।

∴ Q_3 এর বেস ভোল্টেজ = Q_2 এর আড়াআড়িতে ভোল্টেজ + 0.7 = (0.2 + 0.7)V

= 0.9V

আবার Q3 এর ইমিটার ভোল্টেজ = ডায়োডের আড়াআড়িতে ভোল্টেজ + Q_4 এর আড়াআড়িতে ভোল্টেজ ড্রপ = 0.2)V = 0.9V। ফলে Q_3 কাট-অফ অবস্থায় থাকে। তাই আউটপুট, Y = 0.2V (0).



চিত্র ঃ ৫.৯ Standard টোটেমপোল আউটপুট TTL NAND সার্কিট

৫.৩ সি-মস অ্যান্ড এবং নর গেইটের কার্যপ্রণালি (Describe the operation of CMOS and NOR ga

সি-মস লজিক বর্তনী (CMOS logic circuit) ঃ CMOS (Complementary-MOS) গোষ্ঠীর বর্তনীতে P চ্যানেল MO ও N চ্যানেল MOSFET ব্যবহার করা হয়। MOS গোষ্ঠীর তুলনায় CMOS কম শক্তিক্ষয় করে এবং এর গতিও দ্রুততর MOS এর তুলনায় লজিকে যন্ত্রাংশের ঘনত্ব কম এবং CMOS প্রস্তুতের প্রক্রিয়াও তুলনামূলকভাবে জটিলতর। আজকাল অ CMOS বর্তনীর প্রচলন শুরু হয়েছে এবং স্ট্যান্ডার্ড TTL লজিকের সাথে প্রতিযোগিতায় CMOS লজিকের অনেক অগ্রগতি হ

CamScanner