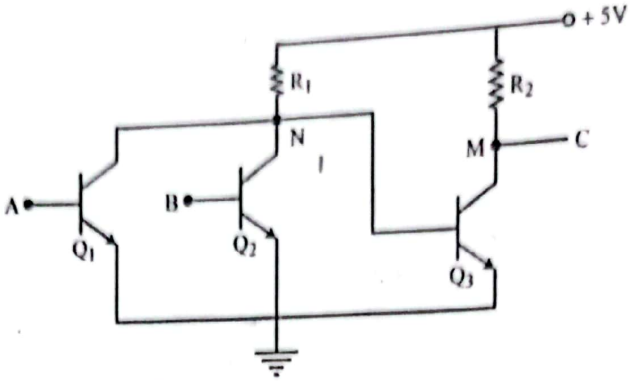
**(b) ট্রানজিস্টর-ট্রানজিস্টর লজিক (Transistor Transistor Logic TTL) ঃ**

DTL Gate-এর থেকে TTL Gate আরো ইমপ্রুভ করা হয়েছে। ডিজিটাল লজিক ফ্যামিলিতে ডিজিটাল সিস্টেমে Technology প্রসেস, Additional এবং ইমপ্রুভমেন্টের কাজ করে।

**TTL OR Logic circuit :**




চিত্র ঃ ৭.৩ TTL OR Logic circuit

চিত্রে তিনটি Transistor $Q_1$, $Q_2$ ও $Q_3$ এর সমন্বয়ে একটি OR Logic সার্কিট দেখানো হয়েছে। $V_{CC} = +5V$

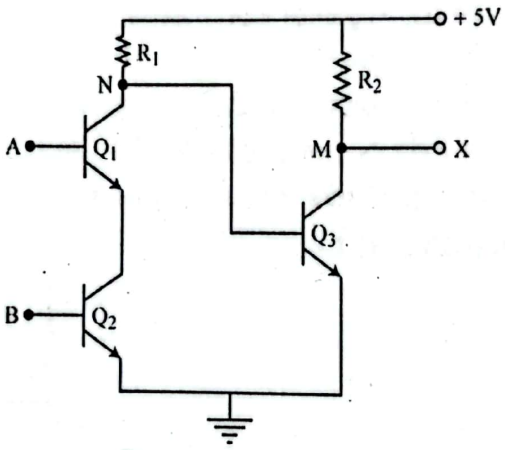
১। যখন A = 5V হয়, $Q_1$ ON হয়, ফলে N বিন্দুতে Voltage '0' হয়।

২। যখন B = 5V যে, $Q_2$ ON হয়, ফলে N বিন্দুতে Voltage '0' হয়।

৩। যখন N বিন্দুতে Cut-off হয় এবং Output voltage '1' হয়।

৪। যখন A = B = OV, $Q_1$ এবং $Q_2$ Cut-off হয় এবং $Q_3$ ON হয় এবং Output voltage '0' হয়।

**TTL AND Gate :**

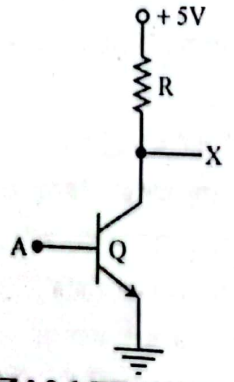



চিত্র ঃ ৭.৪ TTL AND Gate

যখন A অথবা B যে-কোনো একটি অথবা উভয়ই OV হয়, তখন $Q_1$ অথবা $Q_2$ অথবা উভয়ই কাট-অফ হয়। ফলে N ভোল্টেজ $V_{CC}$ এর সমান হয়। $R_1$ এর মাধ্যমে $Q_3$ বায়াস ভোল্টেজ পাওয়ায় $Q_3$ ON হয় এবং আউটপুট ভোল্টেজ Z = + 5V

আবার যখন A = B 5V হয়, তখন N বিন্দুর ভোল্টেজ শূন্য হয় এবং $Q_3$ কাট-অফ হয়। ফলে আউটপুট ভোল্টেজ X = 5V হয়

**TTL NOT Gate :**




চিত্র ঃ ৭.৫ TTL NOT Gate

CamScanner

যখন A = 5V হয়, তখন Q Transistor অন হয় এবং আউটপুট ভোল্টেজ X = 0V হয়। আবার যখন A = 0V হয়, তখন Q ট্রানজিস্টর কাট-অফ হয় এবং আউটপুট ভোল্টেজ X = 5V হয়।

TTL-এর বেসিক গেইট বিভিন্ন ধরনের হয়। TTL-এর নাম ও বৈশিষ্ট্য পাঁচ রকমের হয়। TTL ট্রানজিস্টর সাধারণত দুটি ফাংশন কাজ করে– লজিক এবং অ্যামপ্লিফাইং।

TTL Versions এবং তাদের বৈশিষ্ট্য নিম্নে দেয়া হলো–

| Name | Abbreviation | Propagation delay (ns) | Power dissipation (MW) | Speed Power Product (PJ) |
|---|---|---|---|---|
| Standard TTL | TTL | 10 | 10 | 100 |
| Low Power TTL | LTTL | 33 | 1 | 33 |
| High Speed TTL | HTTL | 6 | 22 | 132 |
| Schottky TTL | STTL | 3 | 19 | 57 |
| Low Power Schottky TTL | LSTTL | 9.5 | 2 | 19 |

TTL পরিবারের প্রথম ভার্সন স্ট্যান্ডার্ড TTL গেইট। এই বেসিক গেইট বিভিন্ন রেজিস্টরের সমন্বয়ে গঠিত, যার পাওয়ার লস কম এবং উচ্চ গতিসম্পন্ন হয়।

TTL-এর সকল ভার্শনের আউটপুট তিনটি ভাগে ভাগ করা হয়, অর্থাৎ আউটপুটের উপর ভিত্তি করে TTL তিন প্রকার; যথা–

১। Open-Collector Output (ওপেন কালেক্টর আউটপুট)

২। Totem-Pole Output (টোটেম পোল আউটপুট)

৩। Three state (or tri-state) Output (থ্রি স্টেট আউটপুট)।

গঠন ও বৈশিষ্ট্যের উপর ভিত্তি করে TTL ছয় প্রকার; যথা–

(i) Standard TTL
(ii) Fast TTL.
(iii) Schottky TTL
(iv) High Power TTL
(v) Low Power TTL
(vi) Advanced Schottky TTL.

## ৭.৬ P-MOS, N-MOS এবং C-MOS-এর বর্ণনা (Describe P-MOS, N-MOS & C-MOS) ঃ

MOS লজিক গোষ্ঠীকে তিনভাগে ভাগ করা যায়, যথা ঃ

১। **PMOS লজিক ঃ** শুধু P চ্যানেল MOSFET ব্যবহার করা হয়।

২। **NMOS লজিক ঃ** শুধু N চ্যানেল MOSFET ব্যবহার করা হয়।

৩। **CMOS লজিক ঃ** এই লজিকে P চ্যানেল এবং N চ্যানেল এই দু'প্রকার MOSFET একসাথে ব্যবহার করা হয়।

আদর্শ PMOS এবং NMOS গেইট বর্তনীর কার্যপ্রণালির কয়েকটি বর্ণনা চিত্র সহকারে নিচে দেয়া হলো–

**PMOS এবং NMOS-এর গঠনগত বৈশিষ্ট্য ঃ**

**PMOS :**

১। PMOS-এ হোল থাকে।

২। PMOS-এ N-type লেয়ার থাকে।

৩। PMOS-এ Drain কারেন্ট প্রবাহিত হয় Source হতে Drain-এর দিকে।

**NMOS :**

১। NMOS-এ ইলেকট্রন থাকে।

২। NMOS-এ P-type লেয়ার থাকে।

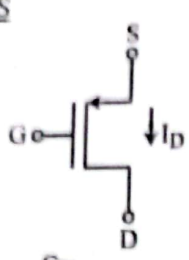
৩। NMOS-এর Drain কারেন্ট প্রবাহিত হয় Drain হতে Source-এর দিকে।

CamScanner

D = Drain
S = Source
G = Gate
OC = Open Circuit
SC = Short Circuit

**Symbol (প্রতীক) ঃ**

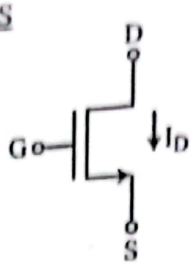
P-MOS




চিত্র ঃ ৭.৬

যদি, A = 0, S to D = SC
যদি, A = 1, S to D = OC

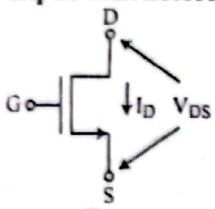
N-MOS



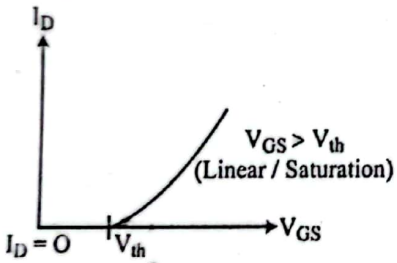

চিত্র ঃ ৭.৭

যদি, A = 0, D to S = OC
যদি, A = 1, D to S = SC

**Input characteristics :**

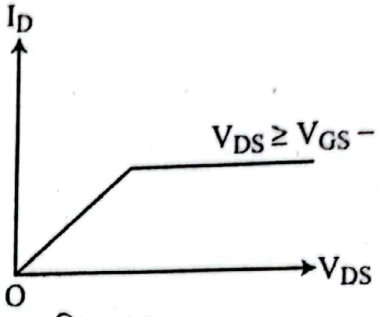



চিত্র ঃ ৭.৮




চিত্র ঃ ৭.৯

**Output characteristics :**




চিত্র ঃ ৭.১০

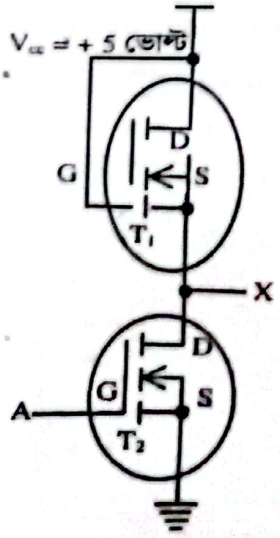
পি-মস এবং এন-মস (PMOS and NMOS)

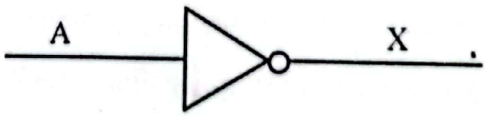
(i) পি-মস Open যখন, ইনপুট High হয়।

(ii) এন-মস Closs যখন ইনপুট High হয়।

(iii) PMOS সবসময় TOP (High) এবং NMOS সব সময় Botom (Ground) হয়।

● **NMOS NOT গেইট ঃ** ৭.১১ নং চিত্রে NMOS লজিক NOT গেইট দেখানো হয়েছে। এখানে $T_1$ কে ভর MOSFET $T_2$ কে সুইচিং MOSFET বলা হয়। $T_1$ এর গেইটে স্থায়ীভাবে +5 ভোল্ট লাগানো থাকায় এটি সবসময় চালু অবস্থায় থাকে একটি রোধ হিসেবে কাজ করে।




| A | $T_1$ | $T_2$ | X |
|---|---|---|---|
| 0 ভোল্ট | $R_{On}$ = 100K Ω | $R_{off} = 10^{10}$ Ω | 5 ভোল্ট |
| 5 ভোল্ট | $R_{off}$ = 100K Ω | $R_{on}$ = 1k Ω | 0.05 ভোল্ট |

এখানে ব্যবহৃত MOSFET ট্রানজিস্টরে,
D = Drain
S = Source
G = Gate

চিত্রে নির্গমন সংকেত X এর দুই অবস্থা দেখানো হলো। $T_2$ এর চেয়ে $T_1$ এর চ্যানেল সরু থাকে, ফলে চালু অবস্থায় $T_1$ এর রোধ, $R_{on}$=100 kΩ হয় এবং $T_2$ এর রোধ, $R_{on}$ = 1 kΩ হয়। A = 0 ভোল্ট হলে $T_2$ অচল হয় এবং $T_2$ এর রোধ $10^{10}\Omega$ হয় এবং $T_2$ ও $T_1$ ভোল্টেজ বিভাজক হিসেবে কাজ করে।

ফলে–

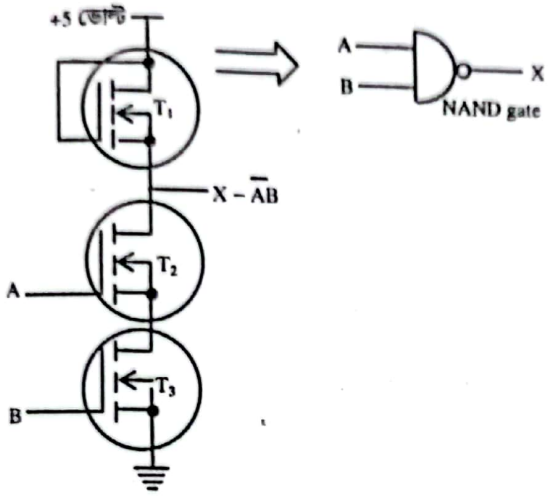
$$X = \frac{100 \times 10^3}{100 \times 10^3 + 10^{10}} \times 5 = 5 \text{ ভোল্ট}$$

A = +5 ভোল্ট হলে $T_2$ চালু থাকে এবং

$$X = \frac{1}{101} \times 5 \simeq 0.05 \text{ ভোল্ট হয়।}$$

উপরের আলোচনা হতে দেখা যায় যে, বর্তনীটি একটি NOT গেইট হিসেবে কাজ করে।

● **NMOS NAND গেইট ঃ**



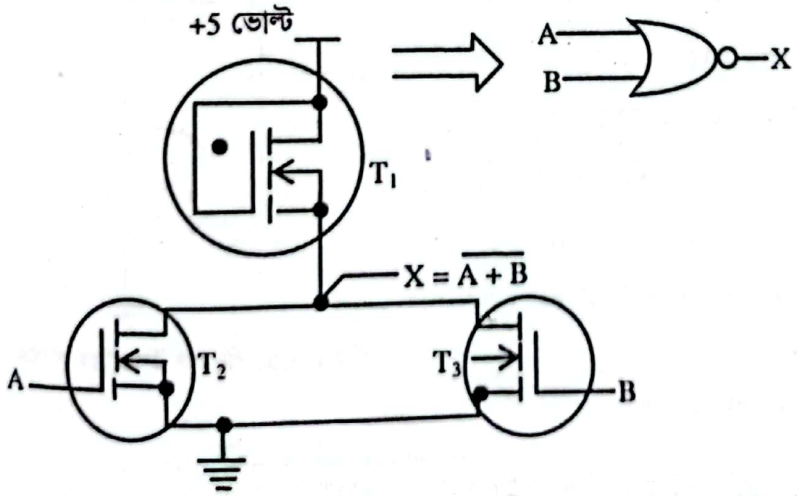

| INPUT | | OUTPUT |
|---|---|---|
| B | A | Y |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

ট্রুথ টেবিল (NAND gate)

চিত্র ঃ ৭.১২ N-MOS NAND gate

৭.১২ নং চিত্রে NMOS NAND গেইটের বর্তনী দেখানো হয়েছে। ৭.১২ নং চিত্রের বর্তনীতে একসাথে A = B = উঁচু, অর্থাৎ +5 ভোল্ট হলে $T_2$ এবং $T_1$ চালু হয়, ফলে X = নিচু অর্থাৎ 0 ভোল্ট হয়। আবার A ও B এর দুটি অথবা যে-কোনো একটিতে + 0 ভোল্ট থাকলে X এবং ভূমির মধ্যে অত্যন্ত উচ্চ রোধ সৃষ্টি হয়, ফলে X = +5 ভোল্ট হয়। কাজেই ৭.৯ নং চিত্রের বর্তনীটি একটি NAND গেইট হিসেবে কাজ করে।

● **NMOS NOR গেইট ঃ**




| INPUT | | OUTPUT |
|---|---|---|
| B | A | Y |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

ট্রুথ টেবিল

চিত্র ঃ ৭.১৩ NMOS NOR গেইট

৭.১৩ নং চিত্রে A = B নিচু, অর্থাৎ 0 ভোল্ট হলে $T_2$ এবং $T_3$ অচল থাকায় X এবং ভূমির মধ্যে অতি উচ্চ রোধ হয়, ফলে X= উঁচু (+5 ভোল্ট) হয়। আবার A এবং B-এর মধ্যে একসাথে দুটি বা এদের একটিতে উঁচু ভোল্টেজ থাকলে X এবং ভূমির মধ্যে রোধ কমে যায়, ফলে X = 0 ভোল্ট হয়। কাজেই ৭.১৩ নং চিত্রের বর্তনীটি একটি NOR গেইট হিসেবে কাজ করে।

CamScanner

**CMOS (সি-মস) ঃ** CMOS-এর পূর্ণ অর্থ হলো Complementary Metal Oxide Semiconductor। একটি P-Channel একটি N-Channel অর্থাৎ PMOS এবং MMOS এর সমন্বয়ে CMOS গঠিত হয়।

**CMOS-এর বৈশিষ্ট্যসমূহ ঃ**

(i) অপারেটিং ফ্রিকুয়েন্সি 5 MHz

(ii) পাওয়ার অপচয় কম

(iii) FAN Out 1 MHz

(iv) সরবরাহ ভোল্টেজ 3~18V

(v) নয়েজ ইমিউনিটি 1.5V।

**CMOS-এর সুবিধাসমূহ ঃ**

(i) CMOS তৈরিতে ব্যবহৃত দুটি মসফেটের একই সময়ে যে-কোনো একটি ON হয়। ফলে পাওয়া অপচয় কম।

(ii) প্রপাগেশন ডিলে (15ns) কম।

(iii) সিঙ্গেল সোর্স (5~15V) এর প্রয়োজন হয়।

(iv) নয়েজ মার্জিন বেশি।

**CMOS-এর ব্যবহার ঃ**

(i) ক্যালকুলেটরে

(ii) স্যাটেলাইটে এবং

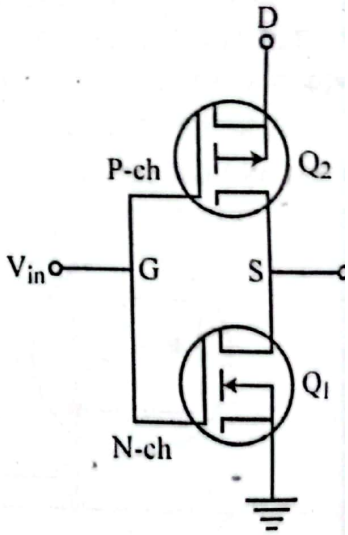
(iii) Digital ঘড়িতে ব্যবহৃত হয়।

**● সি-মস ইনভার্টার সার্কিট (CMOS inverter circuit) ঃ**

৭.১৪ নং চিত্রে একটি N-channel এবং একটি P-channel enhancement MOSFET ব্যবহার করা হয়েছে। যখন (+ve) half cycle প্রয়োগ করা হয়, তখন $Q_1$ স্যাচুরেশন এবং $Q_2$ কাট অফ-এ যায়। ফলে Output (–ve) বা logically 0 হয়।

আবার যখন (–ve) হাফ সাইকেল প্রয়োগ করা হয়, তখন $Q_2$ স্যাচুরেশন এবং $Q_1$ কাট অফ-এ যায়। ফলে আউটপুট (–ve) বা logically 0 হয়।

আবার যখন (–ve) হাফ সাইকেল প্রয়োগ করা হয়, তখন $Q_2$ স্যাচুরেশন এবং $Q_1$ কাট অফ-এ যায়। ফলে আউটপুট (+ve) বা logically 1 পাওয়া যায়। সুতরাং দেখা যাচ্ছে যে, Input-এর বিপরীত Output-এ পাওয়া যাচ্ছে, যা inverter-এর Characteristics-এর মধ্যে পড়ে। সুতরাং C-MOS inverter হিসেবে কাজ করে।




চিত্র ঃ ৭.১৪ সি-মস ইনভার্টার সার্কি

নিচে C-MOS-এর কার্যপ্রণালি টেবিলের মাধ্যমে দেখানো হয়েছে–

| I/P | Logical I/P | P-ch ($Q_2$) | N-ch ($Q_1$) | O/P | Loggical O/P |
|---|---|---|---|---|---|
| + ve | 1 | OFF | ON | – ve | 0 |
| – ve | 0 | ON | OFF | + ve | 1 |